

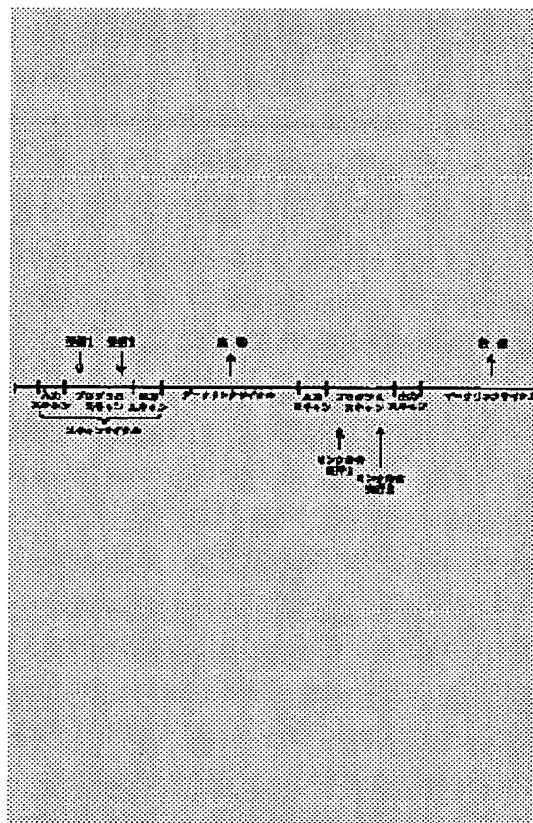
## PROGRAMMABLE CONTROLLER

Patent number: JP11065623  
Publication date: 1999-03-09  
Inventor: MASUDA KOICHI; TAKEUCHI HIROYOSHI  
Applicant: DENSO CORP  
Classification:  
- international: G05B19/05; G06F9/46  
- european:  
Application number: JP19970223525 19970820  
Priority number(s):

### Abstract of JP11065623

**PROBLEM TO BE SOLVED:** To provide a programmable controller in which a data link request can be exactly processed, and the well-balanced processing of each interruption processing request can be attained.

**SOLUTION:** When a data link request from an outside programmable controller(PC) is generated during the execution of a scan cycle by the PC, a reception handler successively sets the reception request in a reception queue, and when a data link request to the outside PC is requested from the PC, a transmission handler successively sets the transmission request in a transmission queue. Then, an OS (operating system) task controlling part executes a data link cycle for activating a responding task for processing the reception request set in the reception queue, and activating a transmitting task for processing the transmission request set in the transmission queue after the execution of the scan cycle.





【0010】請求項2記載のプログラマブルコントローラによれば、リンクサイクル実行手段によって起動される応答タスク及び送信タスクは、1回の起動時にプロセスに処理させる受信要求及び送信要求の数を制限する。このため、データリンクサイクルの実行時間を制限することによって、各割込み処理要求を一層バランシ良く処理することができる。

【0011】

【発明の実施の形態】以下、本発明の実施例について図面を参照して説明する。図6は、ラックの各スロットにセリットされたプログラマブルコントローラ（以下、P Cと称す）及びその他のユニットの1/O構成例を示すものである。ラック1の左端には、各ユニットに電源を供給する電源ユニット2が配置されている。そして、その隣のスロット0にはP C3が配置され、以降のスロット1、2及び3には、それぞれ入力ユニット4、出力ユニット5及び通信ユニット6が配置されている。

【0012】入力ユニット4は、図示しないリレーからP C3に対してデータを入力するためのユニットであり、出力ユニット5は、逆に、P C3からリレーに対してデータ出力するユニットである。また、通信ユニット6は、P C3とその他のP Cとの通信を行うためのユニットである。

【0013】図7は、P C3の電気的構成を示す機能ブロック図である。この図5において、汎用CPU（プロセス、以下、単にCPUと称す）7及びビット演算プロセス8（プロセス、以下、単に演算プロセスと称す）8は、ROM9、RAM10及びI/Oインターフェイス11に、アドレス及びデータバス並びに制御信号などからなるバス12を介して接続されている。

【0014】ROM9には、後述する受信ハンドラ（受信キューセット手段）9a、送信ハンドラ（送信キューセット手段）9b、応答タスク9c、送信タスク9d及びタイムアウト監視タスク（以下、監視タスクと称す）9eなどの各タスクのプログラムや、それら各タスクを制御するタスク制御部（スケジューリング実行手段、リンクサイクル実行手段）9fのプログラムなどがオペレーティングシステム（以下、OSと称す）として格納されている（図8（b）参照）。

【0015】RAM10には、ユーザが作成したスケジュールプログラム（ユーザプログラム）が格納されると共に、後述する受信キュー10a及び送信キュー10bの領域が確保されている（図8（a）参照）。また、1/Oインターフェイス11は、ラック1の図示しないバスブレーンに接続されているシステムバス13を介して、P C3と各ユニット4～6とを接続するものである。

【0016】演算プロセス8は、スケジューリングプログラム中の基本命令（ビット演算、ワード加減算、ワード論理演算など）のみを実行するようにになっている。CPU 50

7は、プログラムの実行前に後述するように前処理を行うと共に、プログラム中の応答命令（ワード乗算算、分岐、ロングワード四則演算及び論理演算などの、演算プロセス8では実行できない命令）を実行するようになっている。また、CPU7は、入力、出力及び通信ユニット4、5及び6からの割込みを受け付け処理すると共に、スケジューリングプログラムの実行によって発生するソフトウェア割込みをも処理するようになっている。

【0017】次に、本実施例の作用について図1乃至図5をも参照して説明する。図1は、P C3のOSによって制御されるソフトウェア処理の流れを概略的に示すものである。

【0018】この図1に示すように、P C3のCPU7及び演算プロセス8は、入力ユニット4からの入力情報を得る入力スケジューリング、スケジューリングプログラムを実行するプログラムスケジューリング及びそのスケジューリングプログラムの実行結果に応じた出力情報を出力ユニット5に対して出力する出力スケジューリングからなるスケジューリングを、繰返し実行するようになっている。

【0019】スケジューリングの実行中において発生する、データ処理要求以外の割込みは、その割込みが発生した時点で処理されるようになっている。そのような割込みには、以下のようなものがある。

①時間割込み1：一定時間毎に、スケジューリングプログラムの割込みプログラムを実行する。  
②時間割込み2：一定時間毎に、P C3の各部が正常状態にあるか否かを検査する。  
③タイマプリフェレンシ：スケジューリングプログラム中で使用されるタイマの値を更新する。  
④I/O割込み：入力、出力ユニット4、5からの割込み。スケジューリングプログラムの割込み処理プログラムを起動する。

尚、これらの割込みを処理する時間についても、スケジューリングの時間が著しく長くなることはないように、処理数等に一定の制限が設けられている。

【0020】また、タスク制御部9fは、時間割込み2のように、比較的緊急度が低い割込みの処理タスクについて、1回の割込みによる処理タスクの実行時間に制限を設ける。例えば、処理タスクのルーチンを通り実行するのに100msの時間を要する場合、1回の割込みによる実行時間を20msなどに制限する。従って、1回の割込みでは、P C3の各部の検査項目の内、制限時間内で検査できる範囲のみが検査され、5回の割込みによって全項目の検査が完了することになる。

【0021】図2及び図3に示すように、スケジューリングの実行中に、通信ユニット6を介したデータリンク要求（受信1、2）、或いはP C3から通信ユニット6へのデータリンク要求（リンク命令実行1、2）が発生した場合は、夫々受信ハンドラ9a、或いは送信ハンドラ9bが起動される。

【0022】受信及び送信ハンドラ9a及び9bは、OSの割込み処理プログラムであり、データリンク要求が発生すると同時に与えられる受信メッセージ（受信1、2）や命令（命令1、2）をRAM10上の受信キュー10a及び送信キュー10bに番込むと共に、受信フラグ及び送信フラグをRAM10上の所定領域にセットするようになっている。

【0023】そして、受信フラグ及び送信フラグがセットされた場合は、スケジューリングの終了後に、OSの応答タスク9c及び送信タスク9dが起動されて、受信キュー10a及び送信キュー10bにセットされた受信及び送信要求に応じた処理を実行するようになっている。この期間がデータリンクサイクル（以下、リンクサイクルと称す）に相当する。

【0024】図4は、応答タスク9cの制御内容を示すフローチャートである。この図2においては、先ず、「受信数が規定以上か？」の判断ステップR1において、受信キュー10aにセットされている受信メッセージの数が規定数以上か否かを判断する。ここで、規定数は、リンクサイクルの処理時間が長くなり過ぎないよう設定された制限であり、例えば「5」などに設定される。

【0025】判断ステップR1において、受信メッセージ数が規定数未満であり「NO」と判断すると、「応答処理実行」の処理ステップR2に移行する。処理ステップR2においては、受信キュー10aにセットされた受信メッセージに応じた処理をP C3側において実行し、応答を割込みの発生元に対して返すようにする。そして、応答タスク9cの処理を終了する。

【0026】一方、判断ステップR1において、受信メッセージ数が規定数以上であり「YES」と判断すると、「規定数分だけ応答処理実行」の処理ステップR3に移行する。処理ステップR3においては、受信キュー10aにセットされた受信メッセージの内、先頭から規定数分「5」だけの受信メッセージに応じた処理をP C3側において実行し、割込みの発生元に対して応答を返すようにする。そして、「受信フラグセット」の処理ステップR4に移行する。

【0027】応答タスク9cが起動されると、受信フラグは自動的にクリアされるが、この場合は、受信フラグに未処理の受信メッセージが残っているため、次のリンクサイクルにおいて応答タスク9cを起動するため、処理ステップR4において、受信フラグをセットする。そして、処理を終了する。尚、リンクサイクルとスケジューリングサイクルとは、スケジューリングの処理時間が短いので、残った処理を次のリンクサイクルに回しても処理が滞る影響は少ない。

【0028】また、図5は、送信タスク9dの制御内容を示すフローチャートである。この図5においては、先ず、「応答待ちバケット有り？」の判断ステップS1に

おいて、応答待ちバケットがリスタートアップされているかを判断する。

【0029】ここで、応答待ちバケットとは、送信タスク9dにおいてP C3から他のP Cなどに対して送信を行った結果作成され、その送信先から応答が帰ってくるのを待っている間に、RAM10の所定領域にリスタートアップされているものである。応答待ちバケットの内容は、通番や送信先を示すコード、送信を行った時間などからなっている。

【0030】判断ステップS1において、応答待ちバケットがリスタートアップされておらず「NO」と判断すると、「送信要求規定数以下か？」の判断ステップS2に移行する。判断ステップS2においては、送信キュー10bにセットされている送信要求（命令1、2、...）の数が規定数以上か否かを判断する。ここで、規定数は、応答タスク9cについて前述したものと同様の理由で設定されている。

【0031】判断ステップS2において、送信要求数が規定数以下であり「YES」と判断すると、次の「キューから1個取り出し送信バケットを作成」の処理ステップS3に移行する。処理ステップS3において、送信キュー10bにセットされている送信要求を先頭から1個取り出して、送信を行うための送信バケットを作成する。送信バケットとは、送信メッセージ（命令）に、送信を行うのに必要なデータ等を附加して所定のデータフォーマットに構成したものである。

【0032】送信バケットを1個作成すると、次の「送信キューが空？」の判断ステップS4に移行する。判断ステップS4においては、送信キュー10bにセットされた送信要求を全て取出したか否かを判断する。送信要求がまだ残っており「NO」と判断すると、ステップS2に移行する。

【0033】即ち、送信キュー10bにある送信要求数が規定数以下の場合、ステップS2～S4のループを回ることによって、その送信要求を送信キュー10bから全て取出して判断ステップS4において「YES」と判断するまで、1個ずつ送信要求が取出されて送信バケットが作成される。

【0034】そして、判断ステップS4において「YES」と判断すると、「送信」の処理ステップS6に移行して、作成した送信バケットを全て送信する。送信と同時に、応答待ちバケットが作成されてリスタートアップされる。また、この監視タスク9eが起動され（処理ステップW3）、この時点で所望に送信されたものに対応する応答待ちバケットに、送信時刻を付込んで配座する。その後、送信タスク処理を終了する。

【0035】一方、判断ステップS2において、送信キュー10bにある送信要求数が規定数を超えており「NO」と判断すると、「規定数の送信バケットを作成」の処理ステップS5に移行する。処理ステップS5におい

ては、送信キュー10bにある送信要求の内、先頭から規定数分だけを取り出して送信フラグセットを作成する。

【0036】そして、次の「送信フラグセット」の処理ステップS5aに移行して、次のリンクサイクルにおいて送信キュー9dが起動するように送信フラグをセットする。すると、ステップS6に移行して、規定数分の送信フラグを送信する。

【0037】また、ステップS1において、既に応答待ちバケットがリストアップされており「YES」と判断すると、監視タスク9eが起動される（判断ステップW11）。その「タイムアウトオーバー？」の判断ステップW11において、監視タスク9eは、応答待ちバケットに書込まれている送信時間を参照して、規定されている応答待ち時間をオーバーしたか否かを判断する。待ち時間をオーバーした応答待ちバケットがなければ「NO」と判断してステップS2に移行する。

【0038】判断ステップW11において、待ち時間をオーバーした応答待ちバケットがある場合は、監視タスク9eは「YES」と判断して、「エラーフラグ」をセットし、該当バケットの処理ステップW2に移行する。処理ステップW2においては、送信先から規定時間内に応答がなかったことを示すエラーフラグをRAM10の所定領域にセットすると、リストからタイムアウトとなった応答待ちバケットを削除する。そして、ステップS2に移行する。

【0039】以上のように本実施例によれば、PC3のCPU7及び演算プロセッサ8によるスキャンサイクルの実行中に外部のPC4からのデータリンク要求が発生すると、受信ハンドラ9aは、当該送信要求を受信キュー10aに順次セットし、また、外部のPC4に対するデータリンク要求がPC3側から発生すると、送信ハンドラ9bは、当該送信要求を送信キュー10bに順次セットする。そして、OSのタスク制御部9fは、スキャンサイクルの実行後に、受信キュー10aにセットされている送信要求を処理する応答タスク9cを起動すると共に、送信キュー10bにセットされている送信要求を処理する送信タスク9dを起動するデータリンクサイクルをCPU7または演算プロセッサ8に実行させるようにした。

【0040】従って、スキャンサイクルの実行中に発生したデータリンク要求は、当該スキャンサイクルの実行後に確実に処理されるので、従来とは異なり、データリンク性能が大きく劣化することがなく、一定の応答性能を維持することができる。逆に、スキャンサイクルの実行中に発生する他の割込み処理も、データリンク要求の処理によって妨げられることがないので、リアルタイムで処理することが望ましいI/O割込みなどの処理に対する応答性能を良好にし得て、各割込み処理要求をバランス良く処理することができる。

【0041】また、本実施例によれば、タスク制御部9

（1によって起動される応答タスク及び送信タスクに、1回の起動時にCPU7または演算プロセッサ8に処理させる受信要求及び送信要求の数に制限を設けたので、データリンクサイクルの実行時間を制限することによって、各割込み処理要求を一層バランス良く処理することができる。

【0042】本発明は上記し且つ図面に記載した実施例にのみ限定されるものではなく、次のような変形または拡張が可能である。システムの仕様によって、データリンク要求が一定時間内に発生して大量に発生する可能性が低い場合には、1回の起動時に処理される受信要求及び送信要求の数に、特に制限を設ける必要はない。また、システムの仕様に応じてユーザーが制限数を設定できるようにしても良い。

【0043】プロセッサは、必ずしもCPU7及び演算プロセッサ8の両方を用いる必要はなく、1個のCPUで基本命令及び応用命令を処理するものであっても良い。図1では、受信要求と送信要求とが異なるスキャンサイクルにおいて発生した例を示したが、両者が同じスキャンサイクルにおいて同時に発生した場合であっても、その次のリンクサイクルにおいて応答タスク9c、送信タスク9dをシリアルに起動して処理すれば良い。受信及び送信タスク9c及び9dを起動するのには受信及び送信フラグをセットするのに代えて、タスク制御部9fが受信及び送信キュー10a及び10bを直接参照することにより、受信及び送信要求がセットされていれば、各タスクを起動するようにしても良い。

【図面の簡単な説明】

【図1】本発明の一実施例におけるスキャンサイクル及びリンクサイクルの処理の流れを概念的に示す図

【図2】図1において、発生した受信要求に対応する部分を詳細に示す図

【図3】図1において、発生した送信要求に対応する部分を詳細に示す図

【図4】応答タスクの処理内容を示すフローチャート

【図5】送信タスクの処理内容を示すフローチャート

【図6】プログラマブルコントローラを含むラック全体のI/O構成を示す図

【図7】プログラマブルコントローラの要部の電気的構成を示す図

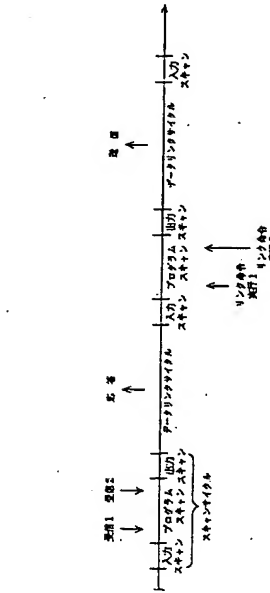
【図8】（a）はプログラマブルコントローラのRAMの内容を概念的に示す図、（b）は同プログラマブルコントローラのROMの内容を概念的に示す図

【符号の説明】

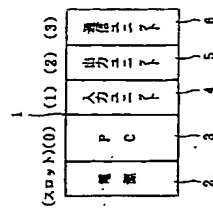
3はプログラマブルコントローラ、4は入力ユニット、5は出力ユニット、7は汎用CPU（プロセッサ）、8はビット演算プロセッサ（プロセッサ）、9aは受信ハンドラ（受信キューセット手段）、9bは送信ハンドラ（送信キューセット手段）、9cは応答タスク、9dは送信タスク、9fはタスク制御部（スキャンサイクル実

行手段、リンクサイクル実行手段）、10aは受信キュー

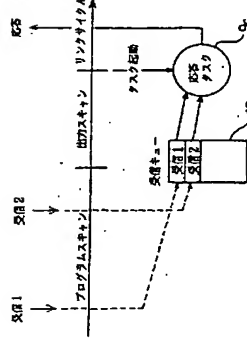
【図1】



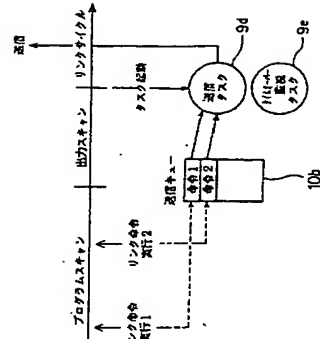
【図6】



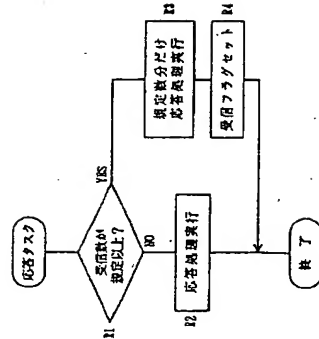
【図2】



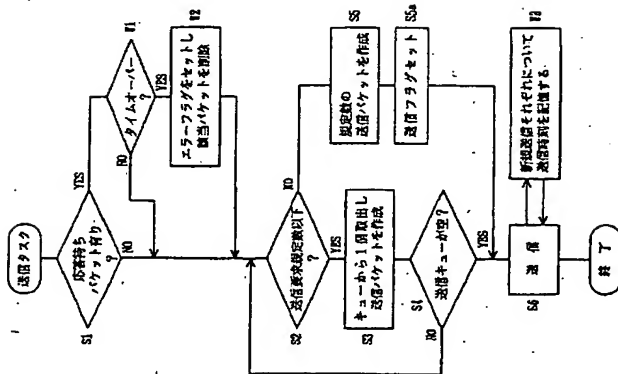
【図3】



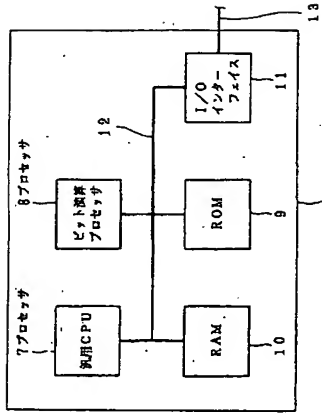
【図4】



【図5】



【図7】



【図8】

